

KARAKTERISTIKE SAVREMENIH MIKROPROCESORA

Zavisnost procesorskog takta od dužine pipeline-a

Izvršavanje instrukcija se obavlja u nekoliko faza. Osnovne faze kroz koje prolazi instrukcija da bi bila izvršena su: 1) Instruction Fetch – dohvaćanje instrukcije, 2) Instruction Decode – dekodovanje instrukcije, 3) Operand Fetch – dohvaćanje operandi, 4) Instruction Execution – izvršenje instrukcije, 5) Store Result – smeštanje rezultata. U svom radu procesor ne čeka da jedna instrukcija prođe svih pet faza da bi otpočeo izvršavanje nove instrukcije. Čim prva instrukcija uđe u fazu dekodovanja odmah sledi dohvaćanje sledeće instrukcije. To zapravo znači da procesor u istom momentu vrši obradu pet instrukcija, koje se nalaze u različitim fazama izvršenja (izuzetak je kada se dođe do instrukcij skoka).

Ovih pet faza, odnosno stepena protočne obrade, se može podeliti na veći broj specifičnijih faza. U sledećem slučaju recimo da imamo pet i deset stepeni protočne obrade:

1) Instruction Fetch	1) Instruction Fetch 1
2) Instruction Decode	2) Instruction Fetch 2
3) Operand Fetch	3) Decode 1
4) Instruction Execution	4) Decode 2
5) Store Result	5) Operand Fetch
	6) Dispatch
	7) Schedule
	8) Execute
	9) Store to Cache 1
	10) Store to Cache 2

Pretpostavimo da se u oba slučaja izvršava ista instrukcija. Pošto u drugom slučaju imamo veći broj stepeni pipeline-a, u jednom stepenu će morati da se uradi manji posao nego u jednom stepenu prvog slučaja (petostepeni pipeline). To znači da je ceo posao izdvojen na više jednostavnijih faza. Zahvaljujući tome što se mora uraditi manje posla u jedinici vremena, arhitektura zasnovana na dužem pipeline-u omogućava povećanje procesorskog takta. Povećanje takta je izvodljivo zato što jednostavniji stepeni pipeline-a zahtevaju manji broj tranzistora za njihovu realizaciju. Procesori sa dužim pipeline-om rade na većim frekvencijama. U idealnom slučaju sa svakim taktom biće izvršena po jedna instrukcija. Međutim to se ne događa kada dođe do instrukcija skoka. Tada se izvršenje prekida, a pipeline se prazni da bi se krenulo ponovo od prvog stepena. Treba zato imati u vidu da performanse u velikoj meri zavise od predviđanja da li će do skoka doći ili ne. Pražnjenje dužeg pipeline-a traje duže, nego pražnjenje kraćeg pipeline-a. Samim tim kada dođe do promašaja predviđanja dolazi do većeg gubitka procesorskog vremena kod dužeg pipeline-a.

Takođe u vidu treba imati i to da je predviđanje u slučajevima sa dužim pipeline-om komplikovanije i teže.

Intel i AMD

Intel i AMD su dva najveća svetska proizvođača procesora. Intel je veći i po podacima iz 2005-e ima oko 100 000 zaposlenih i profit od 8.7 milijardi dolara za razliku od AMD-a koji ima oko 20 000 zaposlenih i profit oko 170 miliona dolara. Neki od Intel-ovih procesora su pentium, celeron, xenon, itanium itd. Dok su neki od AMD-ovih modela duron, atlon, atlon64, opteron. Jedna od najbitnijih razlika u arhitekturi procesora ova dva giganta je upravo u koncepciji pipeline-a. Intelovi procesori imaju duži pipeline, odnosno više stepeni protočne obrade i viši procesorski takt za razliku od AMD-ovih procesora koji imaju kraći pipeline i niži procesorski takt.

Intel arhitektura protočne obrade

Dosadašnji razvoj Intel procesora ukazuje na to da je do poboljšanja performansi procesora, Intel pokušavao da dođe povećanjem procesorskog takta. To podrazumeva tendenciju povećanja broja stepeni pipeline-a, od prvih modela pentijum procesora do danas. Veći broj stepeni podrazumeva da su oni jednostavniji i da je za njihovu realizaciju potreban manji broj tranzistora, što u krajnjoj instanci omogućava viši procesorski takt. Prvi modeli Pentiuma bazirani na P5 arhitekturi imali su petostepeni pipeline. Sledeća generacija Pentiuma III imala je deset stepeni protočne obrade zasnovane na P6 arhitekturi. Sa pojavom Pentiuma 4 Intel je predstavio NetBurst arhitekturu, koja je bila prva pojava onoga što Intel naziva Hyper Piplined Tehnology. Prvi Pentium procesori sa jezgrom Willamette zasnovani na NetBurst arhitekturi pojavili su se u novembru 2000.godine imali su pipeline sa 20 stepeni i imali procesorski takt od 1.4GHz i 1.5GHz. Na slici br.1 predstavljen je dvadesetostepeni pipeline primenjen kod Willamette-a.



Slika 1: Dvadesetostepeni pipeline NetBurst arhitektura

- **TC Nxt IP** (Trace cache next instruction pointer): Ova faza traži od branch target buffer-a (BTB) sledeću mikroinstrukciju koja treba da se izvrši i zauzima dva stepena.
- **TC Fetch** (Trace cache fetch): Dohvatanje mikroinstrukcije iz trace cache-a. I ona zauzima dva stepena pipeline-a.
- **Drive** : Šalje mikroinstrukciju u resource allocator i register renaming jedinice na dalje procesuiranje.
- **Alloc** (Allocate): Resurs alokator proverava koji su resursi potrebni mikroinstrukciji, npr. učitavanje iz memorije itd.
- **Rename**: Jedinica za reimenovanje standardnih x86 registara u 128 interne register prisutne kod Pentiuma 4. Zauzima dva stepena.

- **Que**(Queue):Red za čekanje u koji se mikroinstrukcije svrstavaju prema tipu(celobrojne, instrukcije sa pokretnim zarezom). One se ovde zadržavaju sve dok ne odu u zakazivač(scheduler).
- **Sch**(Schedule):Zakazivač izvršenja, pre dolaska u ovaj stepen sve instrukcije su u onom redu u kojem se pojavljuju u programu. Ovde se vrši promena redosleda izvršenja instrukcija(npr. ako je slobodna jedinica za izvršenje u pokretnom zrezu scheduler će poslati na izvršenje instrukciju sa pokretnim zarezom iako je sledeća po programskom redosledu bila neka celobrojna instrukcija). Zauzima tri stepena.
- **Disp**(Dispatch):Šalje instrukcije njihovim odgovarajućim jedinicama za izvršenje. Zauzima dva stepena.
- **RF**(Register file):Interni registri, smešteni u skladište instrukcija(Instruction Pool),se čitaju. Zauzima dva stepena.
- **Flgs**(Flags):Flegovi se ažuriraju.
- **Br Ck**(Branch check):Proverava da li se grananje do koga je došlo poklapa sa predviđenim grananjem.
- **Drive**:Šalje rezultat predhodne provere u BTB.

U januaru 2002. pojavili su se procesori sa Northwood jezgrom koji su radili na 2.0GHz i 2.2GHz i imali 21 stepen pipeline-a. Zatim su se pojavili procesori sa Prescott jezgrom februara 2004. Imali su 31 stepen protočne obrade i kada su se pojavili radili su na 3.4GHz. Prescott procesori kasnije su dostigli frekvenciju od 3.8GHz i predstavljaju najbrže procesore sa jednim jezgrom ikada, masovno proizvođene. U velikoj meri su bili kritikovani zato što nisu doneli očekivano poboljšanje performansi u odnosu na svoje prethodnike. Pored toga zbog rada na visokim frekvencijama naročito je bio izražen problem sa zagrevanjem i potrošnjom procesora. Naslednik Prescotta je trebalo da bude Tejas, zasnovan na istoj arhitekturi, međutim on se nikada nije pojavio. Posebno zabrinjavajuće za Intel je bilo to što su neka istraživanja pokazala, da bi njihov procesor zasnovan na 31-pipeline arhitekturi morao da radi na 5.2GHz da bi jedva prestigao performanse Athlon FX-55 na 2.6GHz.

Naslednik Pentiuma 4 je Intel Core 2 baziran na Intel Core microarchitecture. Ova nova arhitektura inspirisana je Pentium M arhitekturom koja ima 14 stepeni protočne obrade. Po tome su novi Intel procesori sličniji Pentium Pro i Pentium III procesorima nego Pentiumu 4.

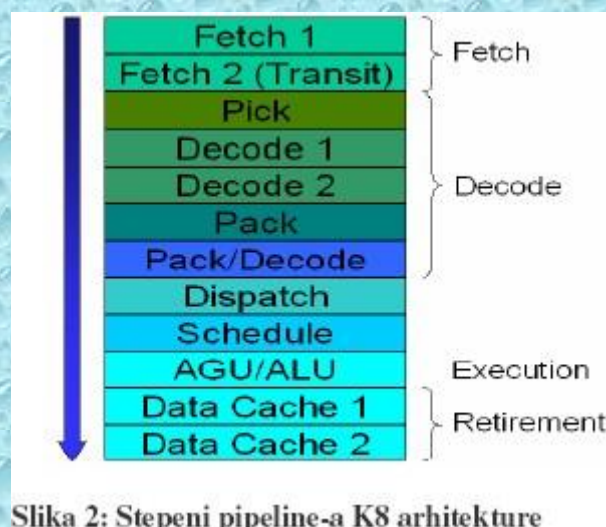
AMD arhitektura protočne obrade

AMD je osnovan 1969 godine i nije sve do kraja 90-tih predstavljao veću konkurenciju Intelu. Procesor K5 se pojavio 1995. i trebalo je da predstavlja konkurenciju Pentijumu. To se nije dogodilo zbog prevlikog broja nedostataka. Procesor K5 je zapravo toliko zaostajao za Pentiumom da je na tržištu doživeo krah. Sa pojavom procesora K6 1997. smanjuje se zaostatak u odnosu na Intel. Pravu ekspanziju AMD doživljava sa pojavom procesora Athlon baziranog na K7 arhitekturi ekvivalentu Intelovog Pentiuma III. Oba procesora su imala pipeline od 10 stepeni, ali Athlon je radio na većoj procesorskoj frekvenciji. To je bio povod Intelu da u svojim procesorima nove generacije (Pentium 4) primeni NetBurst arhitekturu, povećavajući frekvenciju ali i broj stepeni pipeline-a. Athlon XP je bio konkurentan sve do pojave procesora sa Northwood jezgrom. AMD je odgovorio sa K8 arhitekturom poznatom i kao *Hammer projekat*. Proizvodnjom Athlon64 procesora sa K8 arhitekturom AMD ponovo preuzima primat na tržištu, bar što se tiče performansi.

Clock	K7 ALU	K7 FPU	K8 ALU	K8 FPU
1	Fetch		Fetch 1	
2	Scan		Fetch 2	
3	Align1		Pick	
4	Align2		Decode 1	
5	Decode 1		Decode 2	
6	Decode 2		Pack	
7	Schedule	Stack Rename	Pack/Decode	
8	Exec	Register Rename	Dispatch	Dispatch
9	Addr	Write Schedule	Schedule	Stack Rename
10	Data Cache	Schedule	Exec	Register Rename
11		Register Read	Data Cache 1	Write Schedule
12		FX0	Data Cache 2	Schedule
13		FX1		Register Read
14		FX2		FX0
15		FX3		FX1
16				FX2
17				FX3

Slika 2 : K7 i K8 arhitektura

Na slici 2 prikazani su stepeni protočne obrade K7 i K8 arhitekture. U oba slučaja postoje dva razdvojena pipeline-a, za celobrojne i za instrukcije u pokretnom zarezu. Kod K8 arhitekture postoji 12 stepeni za celobrojne i 17 stepeni za instrukcije u pokretnom zarezu. U odnosu na K7 najveće izmene su pretrpeli stepeni Fetch i Decode. Povećanje stepeni pipeline-a je omogućilo povećanje takta procesora Athlon64 baziranih na K8 arhitekturi. Na slici 3 su prikazani stepeni celobrojnog pipelinea u slučaju K8 arhitekture.



Slika 2: Stepeni pipeline-a K8 arhitekture

- **Fetch:** Dohvatanje instrukcija iz L1 keša za instrukcije u grupama od 16 bajta (128 bita). Ova faza je podeljena u dva stepena od kojih se drugi stepen još zove i "Transit" i sličan je stepenu "Drive" kod Pentiuma. Ima ulogu da prenese instrukcije do CPU-a.

- **Pick:** Fetch jedinica šalje dohvaćenih 128 bita i smešta ih u bafer. Pošto x86 instrukcije nisu iste dužine, one se ovde razvrstavaju i odlučuje se koja će instrukcija biti poslata kojoj jedinici za dekodiranje(jednostavne-kompleksne). One koje se dekoduju u više od dva macro opa (AMD mikro opove naziva "macro ops") su kompleksne instrukcije.
- **Decode:** Ovde se x86 instrukcije prevode u macro opove da bi procesor mogao da ih razume. Ova faza zauzima dva stepena.
- **Pack:** Parovi dekodovanih macro opova se spajaju u singl macro opove.
- **Pack/Decode:** Ovde se vrši završno dekodovanje pre nego što se macro opovi pošalju kontroleru instrukcija prisutnog kod Athlon64 procesora, koji ima istu ulogu kao "Reorder Buffer" kod Intela.
- **Dispatch:** Macro opovi se šalju odgovarajućim scheduler jedinicama.
- **Schedule:** Makro opovi bivaju raspoređeni i čekaju da budu izvršeni.
- **AGU/ALU:** Celobrojne instrukcije i memory-related instukcije se izvršavaju.
- **Data Cache:** Podaci generisani u jedinici za izvršenje se vraćaju u L1 data cache, orginalni registri se ažuriraju a instrukcija se obeležava kao "izvršena". Ova faza je identična fazi "retirement" kod Intela.

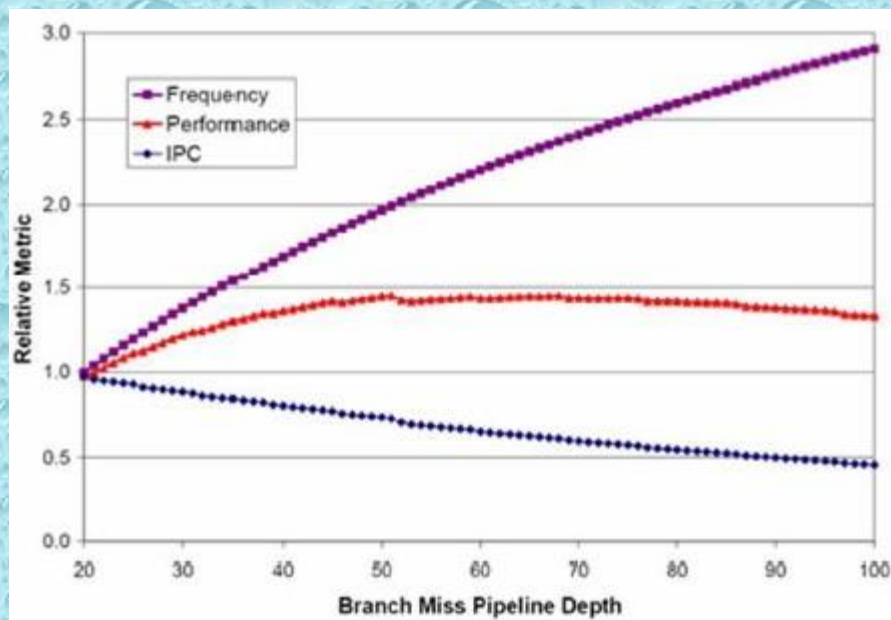
Neki od procesora baziranih na K7 arhitekturi su: Athlon Classic (jun 1999,500MHz-1000MHz), Athlon Thunderbird(jun 2000,700MHz-1.4GHz) itd.

Procesori K8 arhitekture: Athlon64(septembar 2003), Athlon64 FX, Opteron,Turion itd.

Zaključak

Performanse ne zavise samo od brzine procesorskog takta. Sa IPC(instructions per cycles) se označava prosečan broj instrukcija po jednom taktu. Ukupne performance će zavisiti od od IPS(instructions per second) odnosno broja izvršenih instrukcija u jednom sekundu. F je frekvencija, odnosno broj taktova u sekundu.

Tako dolazimo do odgovora kako su AMD-ovi procesori u stanju da se nose sa Intelovim procesorima koji rade pri višem procesorskom taktu. Prosečan broj izvršenih instrukcija po taktu (IPC) kod AMD-a je veći nego kod Intelovih procesora, pa se tako kompenzuje niži procesorski takt. Jedan od glavnih razloga za to je veći gubitak procesorskog vremena u slučaju pogrešnog predviđanja kod dužeg pipeline-a. Pored toga povećanje pipeline-a utiče na još veće smanjenje IPC-a. Na sledećoj slici 4 vidimo zavisnost performansi,IPC-a i procesorskog takta u odnosu na povećanje pipeline-a. Vidimo da sa povećanjem dubine pipeline-a broj izvršenih instrukcija po jednom taktu (IPC) je sve manji, toliko da ni povećanje frekvencije ne može kompenzovati, pa beležimo pad performansi.



Slika 3: Zavisnost performansi od dubine pipeline-a

Neuspeh Prescottta naterao je Intel da prizna da je stalna jurnjava za povećanjem frekvencije na kojoj processor radi, bila više stvar marketinga nego stvarnog poboljšanja performansi. Najbolje godine NetBurst arhitekture su bile one kada se pojavio Northwood koji je imao u to vreme primat nad procesorima koji su dolazili iz AMD-a. To je nateralo AMD da pored imena svojih procesora uvede oznaku PR(performance rating) da bi bili uporedivi sa Intelovim procesorima. Konačno odustajanje Intela od NetBurst arhitekture i prelazak na Intel Core arhitekturu sa 14 stepeni pipeline-a potvrđuje da je AMD dosada bio bliži optimalnom broju stepeni pipeline-a.